

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307469

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H01L 29/78

H03K 17/56

H03K 17/68

(21)Application number : 07-042960

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.03.1995

(72)Inventor : AIZAWA YOSHIKI  
KATO TOSHIMITSU

(30)Priority

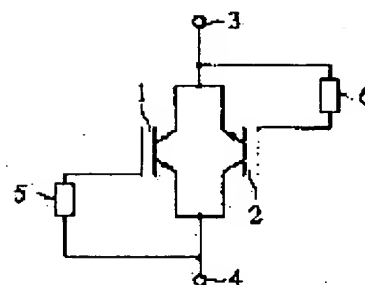
Priority number : 06 42706 Priority date : 14.03.1994 Priority country : JP

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device in which both a DC current and an AC current are controlled by a low ON-voltage, whose breakdown strength is high and which is low-cost by a method wherein gates for inverse-parallel- connected insulated-gate semiconductor devices are biased by gate control circuits whose potential is independent.

CONSTITUTION: A semiconductor switch is provided with two IGBTs 1, 2, a collector for the IGBT 1 and an emitter for the IGBT 2 are connected in common to an output terminal 3, and an emitter for the IGBT 1 and a collector for the IGBT 2 are connected in common to an output terminal 4. Then, individual gate electrodes for the IGBTs 1, 2 are biased respectively by gate control circuits 5, 6. As a result, the IGBTs 1, 2 are driven respectively by the gate control circuits 5, 6. When a current flows in the direction of the output terminal 4 from the output terminal 3, the IGBT 1 makes the current flow. Inversely, when a current flows in the direction of the output terminal 3 from the output terminal 4, the IGBT 2 makes the current flow. As a result, an AC current can be controlled.



## LEGAL STATUS

[Date of request for examination]

08.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

3352840

[Date of registration]

20.09.2002

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307469

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
H 0 3 K 17/56		9184-5 J		
17/68		9055-4 M	H 0 1 L 29/78	6 5 2 L
				3 2 1 J
審査請求 未請求 請求項の数27 O L (全 20 頁) 最終頁に続く				

(21) 出願番号 特願平7-42960

(22) 出願日 平成7年(1995)3月2日

(31) 優先権主張番号 特願平6-42706

(32) 優先日 平6(1994)3月14日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 相沢 吉昭

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝堀川町工場内

(72) 発明者 加藤 俊光

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝堀川町工場内

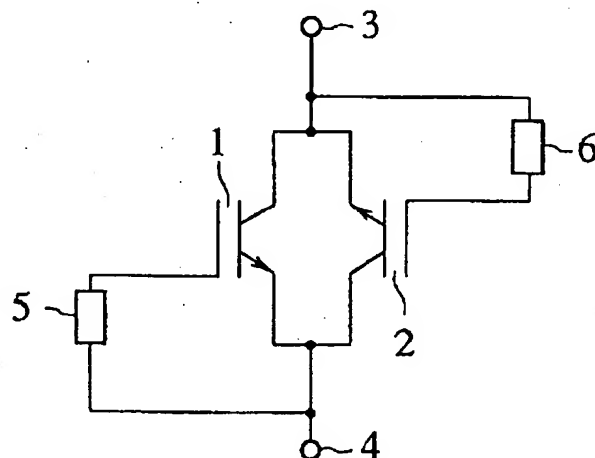
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 直流、交流電流の両方を低オン電圧で制御できる半導体装置を提供することである。

【構成】 一方のコレクタを他方のエミッタに接続する逆並列接続された2個の絶縁ゲート・バイポーラトランジスタ (I G B T) 等の絶縁ゲート型半導体装置を設け、この絶縁ゲート型半導体装置のそれぞれのゲートを電位的に独立したゲート制御回路でバイアスした。



## 【特許請求の範囲】

【請求項1】 第1、および第2の主電極、およびゲート電極を有する第1の絶縁ゲート型半導体装置と、  
該第1の絶縁ゲート型半導体装置の第2の主電極と接続された第1の主電極、該第1の絶縁ゲート型半導体装置の第1の主電極と接続された第2の主電極、およびゲート電極を有する第2の絶縁ゲート型半導体装置と、  
該第1の絶縁ゲート型半導体装置のゲート電極に接続された第1のゲート制御回路と、  
該第2の絶縁ゲート型半導体装置のゲート電極に接続された第2のゲート制御回路とを少なく共具備することを特徴とする半導体装置。

【請求項2】 前記第1および第2の絶縁ゲート型半導体装置はそれぞれ第1および第2のIGBTであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1および第2のIGBTを構成するそれぞれのエミッタ層、それぞれのベース層、それぞれのアノード層はそれぞれ互いに同一導電型であり、前記第1および第2のIGBTの第1の主電極はエミッタ電極であり、前記第2の主電極はコレクタ電極であり、  
前記第1および第2のゲート制御回路はそれぞれ、第1および第2のIGBTのエミッタ電極とゲート電極の間に接続されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1のIGBTはnチャンネルIGBTであり、前記第2のIGBTはpチャンネルIGBTであり、  
前記第1のIGBTの第1および第2の主電極はそれぞれエミッタ電極およびコレクタ電極であり、前記第2のIGBTの第1および第2の主電極は、それぞれ、コレクタ電極およびエミッタ電極であり、  
前記第1および第2のゲート制御回路はそれぞれ、第1および第2のIGBTのエミッタ電極とゲート電極の間に接続されていることを特徴とする請求項2記載の半導体装置。

【請求項5】 前記第1および第2のゲート制御回路は、発光素子が発光した光により駆動されることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第1および第2のゲート制御回路はそれぞれフォトダイオードアレイを少なく共含むことを特徴とする請求項5記載の半導体装置。

【請求項7】 前記第1および第2のIGBTは同一半導体基板上に集積化されていることを特徴とする請求項2記載の半導体装置。

【請求項8】 前記第1および第2のIGBT、第1および第2のゲート制御回路は同一セラミック基板もしくは同一半絶縁性金属基板に実装されていることを特徴とする請求項2記載の半導体装置。

【請求項9】 前記第1のIGBTは第1のリードフレーム上に、

前記第2のIGBTは第2のリードフレーム上に、  
前記第1および第2のゲート制御回路は第3のリードフレーム上にマウントされ、

該第1、第2、第3のリードフレームは樹脂モールドされ同一パッケージを構成していることを特徴とする請求項2記載の半導体装置。

【請求項10】 前記第1のIGBTは第1のリードフレーム上に、

前記第2のIGBTは第2のリードフレーム上に、  
前記第1および第2のゲート制御回路は第3のリードフレーム上に、

前記発光素子は第4のリードフレーム上にマウントされ、

前記第1および第2のゲート制御回路は前記フォトダイオードアレイを含み、前記発光素子の光が前記フォトダイオードアレイに照射されるべく配置され、

前記第1、第2、第3および第4のリードフレームは樹脂モールドされ、同一パッケージを構成していることを特徴とする請求項6記載の半導体装置。

【請求項11】 前記発光素子と前記フォトダイオードアレイは透明ゴム又はゲル状のシリコン樹脂でモールドされていることを特徴とする請求項10記載の半導体装置。

【請求項12】 前記発光素子と前記フォトダイオードアレイは対向して配置され、前記発光素子の出力光が直接前記フォトダイオードアレイに照射されることを特徴とする請求項11記載の半導体装置。

【請求項13】 前記第1のIGBTは第1のリードフレーム上に、

前記第2のIGBTは第2のリードフレーム上に、  
前記第1のゲート制御回路は第3のリードフレーム上に、

前記第2のゲート制御回路は第4のリードフレーム上にマウントされ、該第1、第2、第3および第4のリードフレームは樹脂モールドされ、同一パッケージを構成していることを特徴とする請求項2記載の半導体装置。

【請求項14】 前記第1のIGBTは第1のリードフレーム上に、

前記第2のIGBTは第2のリードフレーム上に、  
前記第1のゲート制御回路は第3のリードフレーム上に、

前記第2のゲート制御回路は第4のリードフレーム上に、

前記発光素子は第5のリードフレーム上にマウントされ、

前記第1、第2のゲート制御回路は前記フォトダイオードアレイを含み、前記発光素子の出力光が前記フォトダイオードアレイに照射されるべく配置され、

前記第1～第5のリードフレームは樹脂モールドされ、同一パッケージを構成していることを特徴とする請求項

6記載の半導体装置。

【請求項15】 前記発光素子と前記フォトダイオードアレイは透明ゴム又はゲル状のシリコン樹脂でモールドされていることを特徴とする請求項14記載の半導体装置。

【請求項16】 前記第1のIGBTは第1のリードフレーム上に、

前記第2のIGBTは第2のリードフレーム上に、

前記第1のゲート制御回路は第3のリードフレーム上に、

前記第2のゲート制御回路は第4のリードフレーム上に、

前記発光素子は第1および第2の発光素子から成り、該第1の発光素子は第5のリードフレーム上にマウントされ、

該第2の発光素子は第6のリードフレーム上にマウントされ、

該第1の発光素子と前記第1のゲート制御回路は第1の透明ゴム又はゲル状のシリコン樹脂でモールドされ、

該第2の発光素子と前記第2のゲート制御回路は第2の透明ゴム又はゲル状のシリコン樹脂でモールドされ、

該第1および第2の透明ゴム又はゲル状のシリコン樹脂がさらに他の樹脂によりモールドされ、前記第1～第6のリードフレームが同一パッケージを構成していることを特徴とする請求項6記載の半導体装置。

【請求項17】 前記第1および第2のIGBTはラテラルIGBT(LIGBT)であり、両者は同一半導体基板上に集積化されていることを特徴とする請求項2記載の半導体装置。

【請求項18】 前記nチャンネルIGBTは高比抵抗半導体基板の表面に形成されたp型ベース層と、該p型ベース層の内部に形成されたn<sup>+</sup>エミッタ層と、該p型ベース層の表面の一部にゲート絶縁膜を介して形成されたゲート電極と、該半導体基板の裏面に形成されたp<sup>+</sup>アノード層とから少なくとも構成され、

前記pチャンネルIGBTは該半導体基板の表面に形成されたn型ベース層と、該n型ベース層の内部に形成されたp<sup>+</sup>エミッタ層と、該n型ベース層の表面の一部にゲート絶縁膜を介して形成されたゲート電極と、該半導体基板の裏面に形成されたn<sup>+</sup>アノード層とから少なくとも構成されていることを特徴とする請求項4記載の半導体装置。

【請求項19】 前記p<sup>+</sup>アノード層は電子の拡散長を $L_n$ としたときに $L < 2L_n$ の関係を満足するピッチLを有して、前記半導体基板の裏面に周期的に複数個配列されていることを特徴とする請求項18記載の半導体装置。

【請求項20】 前記第1および第2のIGBTの形成されている半導体チップの側面は高不純物密度拡散層で覆われていることを特徴とする請求項2記載の半導体装

置。

【請求項21】 前記第1および第2のIGBTの表面および裏面の周辺部はベベルエッチされ、そのベベルエッチされた表面にガラス層が形成されていることを特徴とする請求項2記載の半導体装置。

【請求項22】 第1導電型の半導体基体と、

該半導体基体の第1の主表面上に形成された第2導電型の第1の半導体領域および、該第1の半導体領域の内部に形成された第1導電型の第1のエミッタ領域と、

10 該半導体基体の第1の主表面とは反対側の第2の主表面上に形成された第2導電型の第2の半導体領域および該第2の半導体領域の内部に形成された第1導電型の第2のエミッタ領域と、

該第1の半導体領域の表面にゲート酸化膜を介して形成された第1のゲート電極と、

該第2の半導体領域の表面にゲート酸化膜を介して形成された第2のゲート電極と、

該第1の半導体領域および第1のエミッタ領域と電氣的に接続する第1の主電極領域と、

20 該第2の半導体領域および第2のエミッタ領域と電氣的に接続する第2の主電極領域と、

該第1の主電極領域と第1のゲート電極との間に電氣的に接続された第1のゲート制御回路と、

該第2の主電極領域と第2のゲート電極との間に電氣的に接続された第2のゲート制御回路とを少なくとも具備することを特徴とする半導体装置。

【請求項23】 前記請求項22記載の半導体装置において、さらに前記第2の半導体領域に接して形成された第2導電型で前記第2の半導体領域よりも高不純物の第1のアノード領域と、

30 前記第1の半導体領域に接して形成された第2導電型で前記第1の半導体領域よりも高不純物の第2のアノード領域とを具備することを特徴とする半導体装置。

【請求項24】 第1導電型半導体基体の上部に形成された第2導電型の第1の半導体領域と、

該第1の半導体領域の表面に形成された第1導電型の第2、および第3の半導体領域と、

該第2および第3の半導体領域のそれぞれの内部に形成された第2導電型の第1および第2のエミッタ領域と、

40 該第2および第3の半導体領域の表面にそれぞれゲート酸化膜を介して形成された第1および第2のゲート電極と、

該第2の半導体領域および該第1のエミッタ領域と電氣的に接続する第1の主電極領域と、

該第3の半導体領域および該第2のエミッタ領域と電氣的に接続する第2の主電極領域と、

該第1の主電極領域と該第1のゲート電極の間に電氣的に接続された第1のゲート制御回路と、

該第2の主電極領域と該第2のゲート電極の間に電氣的に接続された第2のゲート制御回路とを少なく共具備す

ることを特徴とする半導体装置。

【請求項25】 前記第1および第2のゲート制御回路は発光素子が発光した光により駆動されることを特徴とする請求項22記載の半導体装置。

【請求項26】 前記第1および第2のゲート制御回路は発光素子が発光した光により駆動されることを特徴とする請求項24記載の半導体装置。

【請求項27】 前記第1および第2のゲート制御回路は、それぞれ、フォトダイオードアレイを少なくも含むことを特徴とする請求項25記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート・バイポーラトランジスタ（IGBT）等の絶縁ゲートで電流を制御する半導体装置に関し、特に直流、交流電流の両方の制御を行うことが可能な双方向性スイッチとしての半導体装置に関する。

【0002】

【従来の技術】ゲート電極に印加される比較的低いバイアス電圧によって大きな電流を制御し得る絶縁ゲート・バイポーラトランジスタ（IGBT）は、MOS・バイポーラ複合機能素子の一種で電力制御や電流スイッチング等各種のパワーエレクトロニクスの用途に特に有用な半導体装置として改良が進められている。

【0003】図20は従来のIGBTを1個使用した半導体スイッチを示す回路図、及び図21(a)～(d)は従来のIGBTの製造方法の一例を示す製造工程図である。

【0004】図20において、この半導体スイッチは、出力端子101にコレクタが、出力端子102にエミッタが接続されたIGBT103を有し、そのゲート電極がゲート制御回路104でバイアスされるように構成されている。

【0005】図20のIGBT103のチップを製造するには、まず、図21(a)に示すように予め用意されたn<sup>-</sup>ベース層となるn<sup>-</sup>基板131の裏面側にp<sup>+</sup>アノード層132を裏面からボロン（B）等を拡散して形成する。あるいはp<sup>+</sup>基板の上にn<sup>-</sup>エピタキシャル層を形成してもよい。この場合はp<sup>+</sup>基板がp<sup>+</sup>アノード層132に、n<sup>-</sup>エピタキシャル層がn<sup>-</sup>ベース層131となる。次に、図21(b)に示すようにn<sup>-</sup>基板131の表面側にゲート酸化膜となるSiO<sub>2</sub>膜133およびゲート酸化膜の上の絶縁ゲート電極となるポリシリコン層139を成膜して、n<sup>-</sup>基板131の表面側ポリシリコン層139の中央部の窓を通してn<sup>-</sup>基板131の表面側の中にボロン（B）等の拡散を行ってp型ベース層134を形成する。次に、図21(c)に示すようにゲート電極136となる部分のポリシリコン層を残して、新たにSiO<sub>2</sub>膜133をn<sup>-</sup>基板131の表面上に成膜した後、このSiO<sub>2</sub>膜133の中央部分の2つ

の窓を通してp型ベース層134の中に砒素（As）等の拡散を行ってn<sup>-</sup>エミッタ層135を形成する。いわゆる二重拡散技術である。その後、所定のフォトリソグラフィおよびRIE法等の手法でゲート電極136の形状にポリシリコン膜をパターニングし、さらにこのポリシリコン膜およびn<sup>-</sup>基板131の上にSiO<sub>2</sub>膜を形成する。そして、図21(d)に示すようにSiO<sub>2</sub>膜133を覆うようにして、n<sup>-</sup>基板131の表面中央部にエミッタ電極137を形成し、またチップ裏面側のp<sup>+</sup>アノード層132にコレクタ電極138を形成すれば、図20に用いるIGBT103のチップが得られる。

【0006】次にIGBTの動作原理について説明する。IGBTのターンオンは、たとえばエミッタ電極137が接地され、コレクタ電極138に正電圧が印加された状態でゲート電極136にエミッタ電極137に対して正電圧を印加することにより実現される。ゲート電極136に正電圧が印加されると、MOSFET同様p型ベース層134の表面に反転チャンネルが形成されn<sup>-</sup>エミッタ層135から反転チャンネル層を通してn<sup>-</sup>ベース層131内に電子が注入されp<sup>+</sup>アノード層に到達する。これに対し、p<sup>+</sup>アノード層132からn<sup>-</sup>ベース層131内にホールの注入が起こり、p<sup>+</sup>アノード層132とn<sup>-</sup>ベース層131との間に形成されるpn接合は順バイアス状態となり、n<sup>-</sup>ベース層131が伝導度変調を起こし、素子を導通状態に導く。IGBTのオン状態は、以上のように高抵抗であるn<sup>-</sup>ベース層131が伝導度変調により、その抵抗成分が極めて小さくなるため、n<sup>-</sup>ベース層131の不純物密度が低く、その厚さの厚い高耐圧素子であってもオン抵抗R<sub>ON</sub>の極めて小さい特性が得られる。一方、IGBTのターンオフは、ゲート電極136にエミッタ電極137に対してゼロバイアスにするか、あるいは負電圧を印加することにより実現される。ゲート電極136がゼロバイアスになるか、ゲート電極136に負電圧が印加されると、ポリシリコンゲート電極136直下の反転チャンネルは消滅し、n<sup>-</sup>エミッタ層135からの電子の注入は止まる。しかし、n<sup>-</sup>ベース層131内には依然として電子が存在する。n<sup>-</sup>ベース層131内に蓄積したホールの大部分はp型ベース層134を通り、エミッタ電極137へ流入するが一部は、n<sup>-</sup>ベース層131内に存在する電子と再結合して消滅する。n<sup>-</sup>ベース層131内に蓄積したホールがすべて消滅した時点で素子は阻止状態となり、ターンオフが完了する。

【0007】しかし、図1に示すような1個のIGBTを用いた半導体スイッチでは、コレクタ電極138に接続される出力端子101からエミッタ電極137に接続される出力端子102に流れる電流を制御することはできるが、逆方向の電流は流すことができないため、交流電流の制御を行うことはできない。そこで、直流、交流

電流の両方を制御し得る双方向性半導体スイッチの従来例を図 22 及び図 23 に示す。図 22 は、MOS-FET を使用した従来の双方向性半導体スイッチを示す回路図である。この双方向性半導体スイッチは、出力端子 111, 112 間に逆直列接続された 2 個の MOS-FET 113, 114 を有し、これらのゲート電極がゲート制御回路 115 でバイアスされるように構成されている。この回路によれば、出力端子 111, 112 間のいずれの方向にも電流を流すことができ、直流、交流電流の両方の制御を行うことができる。

【0008】図 23 は、従来の IGBT を 2 個使用した双方向性半導体スイッチを示す回路図である。この双方向性半導体スイッチは、出力端子 121, 122 間に逆直列接続された 2 個の IGBT 123, 124 を有し、この IGBT 123, 124 の各コレクタ・エミッタ間には高耐圧を実現するためのリバースダイオード 125, 126 がそれぞれ接続されている。そして、IGBT 123, 124 の各々のゲート電極がゲート制御回路 116 でバイアスされるように構成されている。なお、本従来例の IGBT 123, 124 も、図 21 (a) ~ (d) に示す方法で製造される。図 23 のように構成すれば、出力端子 121, 122 間のいずれの方向にも電流を流すことができ、直流、交流電流の両方の制御を行うことができる。

【0009】

【発明が解決しようとする課題】しかしながら、図 22 に示す半導体スイッチでは、MOS-FET で構成しているために IGBT と比較してオン電圧  $V_{on}$  が高く、その上、この MOS-FET を 2 個逆直列接続しているため、オン電圧  $V_{on}$  はさらに高くなるという問題があった。例えば、500V 程度の耐圧の素子では、同一チップ面積で比較した場合 MOS-FET は IGBT の約 3 倍のオン電圧となり、この MOS-FET を 2 個逆直列接続しているためオン電圧はさらにその 2 倍となる。

【0010】また、図 4 に示す半導体スイッチでは、リバースダイオード 125, 126 のいずれか一方が電流経路に直列に入るため、このオン電圧  $V_{on}$  が IGBT のオン電圧  $V_{on}$  に加えられる結果、全体のオン電圧  $V_{on}$  が高くなる。さらに、リバースダイオードは耐圧・電流容量が使用する IGBT と同等であることが必要となるため、コスト高となるという問題があった。

【0011】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、直流、交流電流の両方を低オン電圧で制御でき且つ高耐圧、低コストの半導体装置を提供することである。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の第 1 の特徴は、図 1 に示すように、第 1、および第 2 の主電極、およびゲート電極を有する第 1 の絶縁ゲート型半導体装置 1 と、該第 1 の絶縁ゲート型半

導体装置の第 2 の主電極と接続された第 1 の主電極、該第 1 の絶縁ゲート型半導体装置の第 1 の主電極と接続された第 2 の主電極、およびゲート電極を有する第 2 の絶縁ゲート型半導体装置 2 と、該第 1 の絶縁ゲート型半導体装置 1 のゲート電極に接続された第 1 のゲート制御回路 5 と、該第 2 の絶縁ゲート型半導体装置 2 のゲート電極に接続された第 2 のゲート制御回路 6 とを少なく共具備することである。好ましくは、この第 1 および第 2 の絶縁ゲート型半導体装置は、それぞれ第 1 および第 2 の IGBT であることである。

【0013】より好ましくは、第 1 の IGBT 1 および第 2 の IGBT 2 を構成するそれぞれのエミッタ層、それぞれのベース層、それぞれのアノード層はそれぞれ互いに同一導電型であり、第 1 および第 2 の IGBT の第 1 の主電極はエミッタ電極であり、第 2 の主電極はコレクタ電極であり、第 1 のゲート制御回路 5 および第 2 のゲート制御回路 6 はそれぞれ、第 1 および第 2 の IGBT のエミッタ電極とゲート電極の間に接続されていることである。つまり第 1 および第 2 の IGBT は共に n チャンネル型 IGBT であるか、共に p チャンネル型 IGBT であることである。

【0014】本発明の第 2 の特徴は図 13 の等価回路に示すように、第 1 の IGBT は n チャンネル IGBT 91 であり、第 2 の IGBT は p チャンネル IGBT 92 であり、第 1 の IGBT 91 の第 1 および第 2 の主電極はそれぞれエミッタ電極およびコレクタ電極であり、前記第 2 の IGBT 92 の第 1 および第 2 の主電極は、それぞれ、コレクタ電極およびエミッタ電極であり、n チャンネル IGBT 91 のエミッタ電極と p チャンネル IGBT 92 のエミッタ電極とが互いに接続され、n チャンネル IGBT 91 のコレクタ電極と p チャンネル IGBT 92 のコレクタ電極とが互いに接続され、第 1 のゲート制御回路 95 および第 2 のゲート制御回路 96 はそれぞれ、第 1 および第 2 の IGBT のエミッタ電極とゲート電極の間に接続されていることである。

【0015】本発明の第 3 の特徴は図 2 および図 14 に示すように、第 1 のゲート制御回路 5, 95 および第 2 のゲート制御回路 6, 96 は、発光素子が発光した光により駆動されることである。好ましくは第 1 および第 2 のゲート制御回路はそれぞれフォトダイオードアレイ 5a, 6a, 85a, 86a を少なく共含むことである。

【0016】本発明の第 4 の特徴は図 7 に示すように、第 1 の IGBT は第 1 のリードフレーム 4 上に、第 2 の IGBT は第 2 のリードフレーム 3 上に、第 1 および第 2 のゲート制御回路は第 3 のリードフレーム 902 上に、発光素子 7 は第 4 のリードフレーム 8 上にマウントされ、第 1 および第 2 のゲート制御回路はフォトダイオードアレイ 5a, 6a を含み、発光素子 7 の光がフォトダイオードアレイ 5a, 6a に照射されるべく配置され、第 1, 第 2, 第 3 および第 4 のリードフレームは樹

脂 991 で樹脂モールドされ、同一パッケージを構成していることである。好ましくは、発光素子 7 と前記フォトダイオードアレイ 5a、6a は図 7 (b) に示すように透明ゴム又はゲル状のシリコン樹脂 901 でモールドされていることである。さらに好ましくは、図 11 に示すように発光素子 7 と前記フォトダイオードアレイ 5a/6a は対向して配置され、発光素子 7 の出力光が直接前記フォトダイオードアレイ 5a/6a に照射されることである。

【0017】本発明の第 5 の特徴は図 12、図 15 ~ 図 19 に示すように第 1 の IGBT1、91 および第 2 の IGBT2、92 が同一半導体チップ上に集積化されていることである。

【0018】好ましくは図 12 に示すように n チャンネル IGBT91 は高比抵抗半導体基板 211 の表面に形成された p 型ベース層 13 と、p 型ベース層 13 の内部に形成された n<sup>+</sup> エミッタ層 14 と、p 型ベース層 14 の表面の一部にゲート絶縁膜を介して形成されたゲート電極 16 と、半導体基板 211 の裏面に形成された p<sup>+</sup> アノード層 12 とから少なくとも構成され、p チャンネル IGBT92 は半導体基板 211 の表面に形成された n 型ベース層 231 と、n 型ベース層 231 の内部に形成された p<sup>+</sup> エミッタ層 141 と、n 型ベース層 231 の表面の一部にゲート絶縁膜を介して形成されたゲート電極 161 と、半導体基板の裏面に形成された n<sup>+</sup> アノード層 221 とから少なくとも構成されていることである。より好ましくは、p<sup>+</sup> アノード層 12 は電子の拡散長を  $L_n$  としたときに  $L < 2L_n$  の関係を満足するピッチ  $L$  を有して、半導体基板 211 の裏面に周期的に複数個配列されていることである。

【0019】本発明の第 5 の特徴の他の構成としては図 17、図 18 に示すように、第 1 導電型の半導体基体 11 と、半導体基体 11 の第 1 の主表面上に形成された第 2 導電型の第 1 の半導体領域 13 および、第 1 の半導体領域 13 の内部に形成された第 1 導電型の第 1 のエミッタ領域 14 と、半導体基体 11 の第 1 の主表面とは反対側の第 2 の主表面上に形成された第 2 導電型の第 2 の半導体領域 332 および第 2 の半導体領域の内部に形成された第 1 導電型の第 2 のエミッタ領域 142 と、第 1 の半導体領域 13 の表面にゲート酸化膜を介して形成された第 1 のゲート電極 16 と、第 2 の半導体領域 332 の表面にゲート酸化膜を介して形成された第 2 のゲート電極 162 と、第 1 の半導体領域 13 および第 1 のエミッタ領域 14 と電気的に接続する第 1 の主電極領域 172 と、第 2 の半導体領域 332 および第 2 のエミッタ領域 142 と電気的に接続する第 2 の主電極領域 182 と、第 1 の主電極領域 172 と第 1 のゲート電極 16 との間に電気的に接続された第 1 のゲート制御回路と、第 2 の主電極領域 182 と第 2 のゲート電極 162 との間に電気的に接続された第 2 のゲート制御回路とを少なくとも

具備することである。より好ましくは、図 18 に示すように第 2 の半導体領域 332 に接して形成された第 2 導電型で第 2 の半導体領域 332 よりも高不純物の第 1 のアノード領域 334 と、第 1 の半導体領域 13 に接して形成された第 2 導電型で第 1 の半導体領域よりも高不純物の第 2 のアノード領域 334 とを具備することである。

【0020】本発明の第 5 の特徴のさらに他の構成としては、図 19 に示すようにラテラル IGBT (LIGBT) を同一基板 129 上に集積化したことである。すなわち、第 1 導電型半導体基体 129 の上部に形成された第 2 導電型の第 1 の半導体領域 11 と、第 1 の半導体領域 11 の表面に形成された第 1 導電型の第 2 の半導体領域 13、および第 3 の半導体領域 332 と、第 2 および第 3 の半導体領域のそれぞれの内部に形成された第 2 導電型の第 1 のエミッタ領域 14 および第 2 のエミッタ領域 142 と、第 2 および第 3 の半導体領域の表面にそれぞれゲート酸化膜を介して形成された第 1 のゲート電極 16 および第 2 のゲート電極 162 と、第 2 の半導体領域 13 および第 1 のエミッタ領域 14 と電気的に接続する第 1 の主電極領域 172 と、第 3 の半導体領域 332 および第 2 のエミッタ領域 142 と電気的に接続する第 2 の主電極領域 182 と、第 1 の主電極領域 172 と第 1 のゲート電極 16 の間に電気的に接続された第 1 のゲート制御回路 5 と、第 2 の主電極領域 182 と第 2 のゲート電極 162 の間に電気的に接続された第 2 のゲート制御回路 6 とを少なく共具備することである。

【0021】本発明の第 6 の特徴は図 4、図 5、図 6 に示したように各 IGBT1、2 はアイソレーション拡散法またはグラスパッシベーション法を用いて形成したことである。

#### 【0022】

【作用】上述の如き構成によれば、各 IGBT のゲートをそれぞれ独立したゲート制御回路 5、6 でバイアスすることにより、一方のコレクタ・エミッタ接続点 3 と他方のコレクタ・エミッタ接続点 4 との間において交流、直流両方の電流制御を低オン電圧  $V_{on}$  で行うことができる。すなわち、図 1 の構成の半導体スイッチによれば、ゲート制御回路 5、6 によって IGBT1、2 がそれぞれドライブされ、出力端子 3 から出力端子 4 の方向へ電流が流れるときには IGBT1 が電流を流し、逆に出力端子 4 から出力端子 3 の方向へ電流が流れるときには IGBT2 が電流を流すので、交流電流を制御することができる。さらに、従来例として示した図 22 に示す MOSFET で構成した例では、IGBT の約 3 倍のオン電圧となり、逆直列接続しているためオン電圧はさらにその 2 倍となるが、本実施例では、逆並列接続した IGBT で構成しているためオン電圧を低く抑えることができ、同一チップ面積の各 MOSFET および各 IGBT で構成した場合で比較すれば、制御電流が増大し、導通



ロスが減少する。したがって、変換効率が向上する。

【0023】また、ゲート制御回路をフォトダイオードアレイで構成することにより、入力側と出力側とが光結合されているだけで電気的には絶縁されているため、パワー系（主電流系）と制御系のノイズが分離され、安定なスイッチング動作ができる。また入力（LED）側の電圧と出力側の電圧が分離された、いわゆるフォトカプラーとして、より低オン電圧で交流・直流両方の電流制御を行うことができる。

【0024】さらに、IGBT等の主なるスイッチング素子をアイソレーション拡散法またはグラスパッシベーション法を用いて形成することにより、コレクタを負にしエミッタを正にしたチップ耐圧（逆耐圧）を、コレクタを正としエミッタを負とした耐圧と同程度まで高めることができる。

【0025】

【実施例】以下、図面を参照して本発明の実施例を具体的に説明する。

【0026】図1は、本発明の第1の実施例に係る半導体スイッチの回路図である。この半導体スイッチは2個のIGBT1、2を備え、これらIGBT1、2が出力端子3、4間に逆並列接続されている。すなわち、IGBT1のコレクタとIGBT2のエミッタとが出力端子3に共通接続される一方、IGBT1のエミッタとIGBT2のコレクタとが出力端子4に共通接続されている。そして、IGBT1、2の各ゲート電極がゲート制御回路5、6でそれぞれバイアスされるように構成されている。図1の構成の半導体スイッチによれば、ゲート制御回路5、6によってIGBT1、2がそれぞれドライブされ、出力端子3から出力端子4の方向へ電流が流れるときにはIGBT1が電流を流し、逆に出力端子4から出力端子3の方向へ電流が流れるときにはIGBT2が電流を流すので、交流電流を制御することができる。MOS-FETで構成した図22に示す従来例では、MOS-FET自身がIGBTの約3倍のオン電圧を有する上にこのMOS-FETを2個逆直列接続しているためオン電圧はさらにその2倍となるが、本実施例では、逆並列接続したIGBTで構成しているためオン電圧を低く抑えることができる。したがって、同一チップ面積の各MOSFETおよび各IGBTで図22の回路および図1の回路を構成した場合で比較すれば、本発明の図1の構成の方が制御電流が増大し、導通ロスが減少する。その結果、変換効率が向上する。

【0027】図2は、本発明の第2の実施例に係る半導体スイッチの回路図であり、図1と共通する要素には同一の符号が付されている。本発明の第2の実施例の半導体スイッチは、本発明の第1の実施例のIGBT1、2のゲート制御回路5、6としてフォトダイオードアレイを使用した例である。すなわち、IGBT1、2の各ゲート電極をそれぞれバイアスするフォトダイオードアレイ

5a、6aが設けられ、このフォトダイオードアレイ5a、6aに抵抗5b、6bがそれぞれ並列接続されている。さらに、フォトダイオードアレイ5a、6aに光を照射するためのLED（発光ダイオード）7が入力端子8、9の間に接続されている。この構成の半導体スイッチによれば、LED7の入力端子8、9間に電流を流して、LED7を発光させ、フォトダイオードアレイ5a、6aに交互又は同時に光を照射すれば、フォトダイオードアレイ5a、6aが交互又は同時に光起電力を発生する。この電圧により、IGBT1、2の各ゲート電極が交互又は同時にバイアスされ、出力端子3、4間が上記第1の実施例と同様にオン状態となる。このように本発明の第2の実施例では、入力側と出力側とが光結合されているだけで電気的には絶縁されているため、パワー系（主電力系）のノイズとゲート制御回路系のノイズとが分離されているので、安定なスイッチング動作が可能となる。さらに、ゲート制御回路における電力損失はほとんどなく極めて交換効率の高い交流・直流兼用の半導体スイッチが実現される。

【0028】図3は、本発明の第1または第2実施例の半導体スイッチの構成要素であるIGBT1、2の各チップを高耐圧化するための構造を示したものである。図3に示すように本発明の第1または第2の実施例のIGBTチップは不純物密度 $5 \times 10^{12} \sim 2 \times 10^{14} \text{ cm}^{-3}$ の $n^-$ 基板11を有し、その $n^-$ 基板11の裏面全面には不純物密度 $5 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ の $p^+$ 拡散層（ $p^+$ 型アノード層）12が形成され、さらにチップ側面にもアイソレーション拡散（素子分離拡散）法によって $p^+$ 拡散層12が形成されている。また、 $n^-$ 基板11内のチップ表面側には不純物密度 $5 \times 10^{15} \sim 2 \times 10^{17} \text{ cm}^{-3}$ の $p$ 型ベース層13が形成され、 $p$ 型ベース層13内のチップ表面側には一対の不純物密度 $5 \times 10^{18} \sim 2 \times 10^{21} \text{ cm}^{-3}$ の $n^+$ エミッタ層14が形成されている。また、チップ表面の両サイドに各々現れた $p^+$ 拡散層12、 $n^-$ 基板11、 $p$ 型ベース層13、及び $n^+$ エミッタ層14に亘るチップ表面上に $\text{SiO}_2$ 膜15がそれぞれ形成されており、該各 $\text{SiO}_2$ 膜15内にはそれぞれポリシリコン膜からなるゲート電極16が形成されている。すなわち、ゲート電極16は、 $p$ 型ベース層13に対応するチップ表面上に設けられ、その周囲をゲート酸化膜等の $\text{SiO}_2$ 膜15によってチップ表面側から絶縁した状態の絶縁ゲート構造を成している。なおゲート電極16はWやTi等の高融点金属、あるいは $\text{WSi}_2$ 、 $\text{TiSi}_2$ 、 $\text{MoSi}_2$ 等のシリサイド膜もしくはポリサイド膜でもよい。そして、 $\text{SiO}_2$ 膜15を覆うようにして、 $p$ 型ベース層13及び $n^+$ エミッタ層14に対応するチップ表面中央部にはAl、Ti/Al、Al-Si等のエミッタ電極17が形成され、またチップ裏面側の $p^+$ 拡散層12にはTi/Al、W、あるいはMo等のコレクタ電極18が形成されている。さ

らに、ゲート電極16、エミッタ電極17及びコレクタ電極18にはそれぞれゲート端子16A、エミッタ端子17A及びコレクタ端子18Aが接続されている。このように構成される本実施例のIGBTチップは、ゲート電極16にバイアス電圧が印加され、このバイアス電圧が閾値レベルを越えたときにp型ベース層13に電界が生じ、その結果、p型ベース層13の表面にチャンネルが誘起されるものである。さらに、コレクタを負にしエミッタを正にした逆耐圧時においては、p<sup>+</sup>拡散層12がn<sup>-</sup>基板11に対して負バイアスとなり、n<sup>-</sup>基板11とp<sup>+</sup>拡散層12との間で寄生ダイオードが逆方向接続された状態となる。これにより、チップの逆耐圧が向上する。

【0029】図4(a)～(e)は、図3に示したIGBTチップの製造方法を示す工程図である。まず、図4(a)に示すように予め用意された厚さ150～450μm、不純物密度 $5 \times 10^{12} \sim 2 \times 10^{14} \text{ cm}^{-3}$ のn<sup>-</sup>基板11の表面及び裏面に厚さ400～700nmのSiO<sub>2</sub>膜15を熱酸化法等により成膜しておき、次に図4(b)に示すようにn<sup>-</sup>基板11の側面全体にボロン(B)、アルミニウム(Al)あるいはガリウム(Ga)等の不純物を用いたアイソレーション拡散法により不純物密度 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ のp<sup>+</sup>拡散層12を形成する。続いて、図4(c)に示すようにn<sup>-</sup>基板11の裏面に深く、たとえば20μm～50μm、不純物密度 $2 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ のボロン等の不純物の拡散を行い、p型アノード層12を形成した後、先に拡散用マスクとして用いたSiO<sub>2</sub>膜15を除去し、新たにゲート酸化膜となる50～100nmのSiO<sub>2</sub>膜15を熱酸化法等によりn<sup>-</sup>基板11の表面側に形成し、その上に厚さ350～500nmのポリシリコン膜19を成膜し、その中央部に窓を形成し、その窓を通してn<sup>-</sup>基板11の表面側の中に不純物 $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 、深さ10～30μmでボロン等の不純物の拡散を行ってp型ベース層13を形成する。次に、図4(d)に示すようにゲート電極16となる部分のポリシリコン層を残して、厚さ350～500nmの新たなSiO<sub>2</sub>膜15をn<sup>-</sup>基板11の表面上に形成した後、p型ベース層13上のSiO<sub>2</sub>膜15の中央部分近傍に2つの拡散窓を形成する。そして、この2つの拡散窓を通してp型ベース層13の中に深さ0.5～5μm、不純物密度 $5 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の砒素等の不純物の拡散を行ってn<sup>-</sup>エミッタ層14を形成する。いわゆる二重拡散技術によりp型ベース層13の内にn<sup>-</sup>エミッタ層14を形成するのである。その後、図4(e)に示すように、n<sup>-</sup>基板11の表面上に新たに厚さ350～500nm SiO<sub>2</sub>膜15AをCVD法等により形成し、そして、SiO<sub>2</sub>膜15A中に新たに形成されたコンタクトホールを介してp型ベース層13及びn<sup>-</sup>エミッタ層14に対応するn<sup>-</sup>基板11の表面中

央部の上に厚さ0.5～3μmのAl、Ti/Al、Al-Si等の金属のエミッタ電極17を形成し、またチップ裏面側のp<sup>+</sup>拡散層12にAl、Ti/Al、W、あるいはMo等のコレクタ電極18を形成すれば、図3に示す構造のIGBTチップが得られる。

【0030】図5(a)～(e)は、本発明の第1または第2の実施例に用いる、他の構造のIGBTチップの製造方法を示す工程図である。図5(a)～(e)に示すIGBTチップは、逆耐圧を向上させるためにアイソレーション拡散法を用いた場合の他の例を示すものである。まず、不純物密度 $1 \times 10^{18} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 、厚さ150～300μmのp<sup>+</sup>基板21上に不純物密度 $5 \times 10^{12} \text{ cm}^{-3} \sim 2 \times 10^{14} \text{ cm}^{-3}$ 、厚さ50～150μmのn<sup>-</sup>エピタキシャル層22を図5(a)に示すように形成する。次にそのn<sup>-</sup>エピタキシャル層22の表面上に熱酸化法等により厚さ400nm～700nmのSiO<sub>2</sub>膜23を成膜し、図5(b)に示すようにn<sup>-</sup>エピタキシャル層22の側面全体にアイソレーション拡散法によりp<sup>+</sup>拡散層24を形成する。その後、前述した図4(c)と同様の方法を用いて、厚さ50～100nmのゲート酸化膜を形成し、その上にポリシリコン膜30をCVD法等により形成し、図5(c)に示すようにn<sup>-</sup>エピタキシャル層22内にp型ベース層25を形成すると共に、図5(d)に示すようにそのp型ベース層25内にn<sup>+</sup>エミッタ層26を形成し、さらに、厚さ350～500nmのSiO<sub>2</sub>層23Aをn<sup>-</sup>エピタキシャル層22の上にCVD法等により形成する。そして、SiO<sub>2</sub>層23A中のコンタクトホールを介してエミッタ電極28を形成し、またチップ裏面側のp<sup>+</sup>基板21にコレクタ電極29を形成すれば、図5(e)に示す構造のIGBTチップが得られる。

【0031】また、逆耐圧を向上させるためには、上記図4(a)～(e)、および図5(a)～(e)に示したアイソレーション拡散法を用いて製造するほか、例えば以下に示すようなグラスパッシベーション法を用いてIGBTチップを製造してもよい。すなわち、図6

(a)～(e)は、本発明の第1または第2の実施例に用いるさらに他の構造のIGBTチップの製造方法を示す工程図である。まず、図6(a)に示すような予め用意された不純物密度 $3 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 、厚さ250～600μmのn<sup>-</sup>基板31の裏面側に図6(b)に示すように拡散深さ30～50μmのp<sup>+</sup>型アノード層32を形成すると共に、n<sup>-</sup>基板31の表面側に図4(c)、図5(c)と同様の方法で、SiO<sub>2</sub>膜33およびポリシリコン層37を成膜して前記n<sup>-</sup>基板31内にp型ベース層34を形成すると共に、そのp型ベース層34内にn<sup>-</sup>エミッタ層35を形成し、さらに、SiO<sub>2</sub>膜33中にポリシリコン層からなるゲート電極37を図6(b)に示すように形成する。その後、n<sup>-</sup>基板31の表面及び裏面側に新たにSiO<sub>2</sub>膜33

をCVD法等を用いて成膜した後、 $n^-$ 基板31の表面側及び裏面側の周辺部に対してその側面中央部分を残すような形で図6(c)に示すようなエッチング処理を施す。さらに、図6(d)に示すようにエッチングされた $n^-$ 基板31の表面側及び裏面側の傾斜側面部に対してガラスパッシベーション法を用いてガラス層36を被着する。そして、 $n^-$ 基板31の表面側のガラス層36および裏面側のガラス層36上に $SiO_2$ 膜33Aを成膜する。その後、 $n^-$ 基板31の表面側にエミッタ電極38を形成し、またチップ裏面側の $p^+$ 型アノード層32にコレクタ電極39を形成すれば、図6(e)に示す構造のIGBTチップが得られる。なお、ガラスパッシベーションのかわりにSIPOS (Semi Insulating Poly-Silicon) や、Si<sub>3</sub>N<sub>4</sub> (Semi Insulating Silicon Nitride) 等を用いてもよい。

【0032】図1および図2に示した本発明の第1および第2の実施例に示した双方向性半導体スイッチはアルミナ( $Al_2O_3$ )や窒化アルミ( $AlN$ )等のセラミック基板や絶縁金属基板 (Insulated Metal Substrate) 等あるいは各種リードフレームの上に、図3、図4(e)、図5(e)および図6(e)に示したIGBT1、2、やゲート制御回路5、6等の構成要素をハンダ付け等により実装して、いわゆるパワーモジュール (Power Module) やパワーハイブリッドIC (Hybrid Integrated Circuit) 等のパッケージとすればよい。

【0033】そのようなパッケージの一例として、図7に本発明の第3の実施例を示す。図7(a)は図7

(a)のI-I線に沿った模式断面図である。IGBT1、2はリードフレーム4、3の上にそれぞれマウントされている。フォトダイオードアレイ5a、6aと抵抗5b、6bとが集積化された半導体チップ651がリードフレーム902の上にマウントされている。GaAs LEDもしくはGaAs/AlGaAsヘテロ接合LED等の発光素子7がリードフレーム8にマウントされている。LEDの他方の電極はリードフレーム9に接続されたボンディングワイヤ937に接続されている。LED7とフォトダイオードアレイ5a、6aの集積化された半導体チップ651は透明ゴム又はゲル状のシリコン樹脂901でモールドされ、LED7の光がモールドパッケージ991との界面で反射され、有効にフォトダイオードアレイ5a、6aに達するようにされている。フォトダイオードアレイ5aのカソードボンディングパッド527とIGBT1のエミッタボンディングパッド177とはボンディングワイヤ932で、アノードボンディングパッド528とゲートボンディングパッド168とはボンディングワイヤ931とで接続されている。またフォトダイオードアレイ6aのカソードボンディングパッド517、アノードボンディングパッド518はそれぞれ、IGBT2のエミッタボンディングパッド179、ゲートボンディングパッド169に、ボンディン

グワイヤ934、933で接続されている。IGBT1のエミッタボンディングパッド176はボンディングワイヤ936でリードフレーム3に接続され、IGBT1のエミッタとIGBT2のコレクタが接続されている。またIGBT2のエミッタボンディングパッド178とリードフレーム4とがボンディングワイヤ935で接続され、IGBT2のエミッタとIGBT1のコレクタが接続されている。ボンディングワイヤ931~936はたとえば100~650 $\mu m\phi$ のAl線又はAu線等を用いればよい。

【0034】図8(a)は本発明の第3の実施例に用いたフォトダイオードアレイ5a、6aを集積化した半導体チップ651の断面図で図8(b)はその等価回路を示す。いわゆる絶縁分離(DI: Dielectric Isolation)により $n$ 型カソード領域514、524、 $p$ 型アノード領域512、522からなるフォトダイオードを分離した構造のフォトダイオードアレイの模式的な断面図である。図8(a)でフォトダイオードアレイ6aは $n$ 型カソード領域514、 $p$ 型アノード領域512からなるフォトダイオードで構成され、フォトダイオードアレイ5aは $n$ 型カソード領域524、 $p$ 型アノード領域522からなるフォトダイオードで構成されている。各フォトダイオードは酸化膜15の上に形成されたAl配線536で相互に接続されている。またAl配線537は、図7(a)に示したフォトダイオードアレイ6aのカソードボンディングパッド517に接続され、Al配線538は、アノードボンディングパッド518に接続されている。同様にAl配線547、548は図7

(a)に示したフォトダイオードアレイ5aのカソードボンディングパッド527、アノードボンディングパッド528にそれぞれ接続されている。図8(a)において半導体基板651は $p$ 型でも $n$ 型でもよい。各フォトダイオードは酸化膜615およびポリシリコン616で分離されている。図8(a)の構造はたとえば、シリコン直接接合(SDB: Silicon Direct Bonding)法などを用いてシリコン基板651とカソード領域となる $n$ 層514、524の間に酸化膜615をはさんだSOIウェハを用いて製造すればよい。すなわち、このSOIウェハの $n$ 層514、524の表面から酸化膜615に達する溝をRIE法やECRIオンエッチング法等あるいはKOH等を用いたウェットエッチング法等のエッチングにより形成し、その表面にさらに0.5~2 $\mu m$ の酸化膜を熱酸化等の手法により形成し、さらにその酸化膜の表面に、溝を埋めるようにポリシリコン616を減圧CVD法等により堆積すれば図8(a)の絶縁分離領域が形成できる。このポリシリコン616の堆積後、表面に凹凸が生じフォトリソグラフィで問題となる場合にはSOIウェハの表面をポリッシングし、図8(a)に示すように $n$ 層514、524の表面と、ポリシリコン616の表面とが同一平面になるようにしてから、 $p$

型アノード層 512, 522 の拡散工程等を行なえばよい。図 8 (a) の各フォトダイオードアレイ 5a, 6a は、各 3 個のフォトダイオードで構成された場合を示しているが、これは図示の都合上の一例であって、フォトダイオードの数は IGBT の特性に合わせて選定すればよい。たとえば、シリコンフォトダイオードを 16 個直列接続すれば約 8 V のゲート制御電圧を得ることができる。なお抵抗 5b, 6b は図 8 (a) では図示を省略しているが、ポリシリコン層を用いた抵抗体、あるいは n 型シリコン中に p 型シリコンを拡散した抵抗体等を半導体チップ 651 上に形成すればよい。

【0035】図 9 (a) は本発明の第 4 の実施例に係る双方向性半導体スイッチの平面図で、図 9 (b) はその模式断面図である。本発明の第 3 の実施例と異なる点は、フォトダイオードアレイ 6a が半導体チップ 652 上に形成され、フォトダイオードアレイ 5a が半導体チップ 653 上に形成されている点である。したがって、半導体チップ 652 はリードフレーム 904 上に、半導体チップ 653 はリードフレーム 903 上に形成されている。半導体チップ 652, 653, LED7 が透明ゴム又はゲル状のシリコン樹脂 901 でモールドされ、LED7 の光がフォトダイオードアレイ 5a, 6a に有効に照射されるように構成されている点等は本発明の第 3 の実施例と同様であり説明を省略する。

【0036】図 10 (a) は本発明の第 5 の実施例に係る双方向性半導体スイッチの平面図で 10 (b) はその断面図で、LED を 2 個用いて IGBT を駆動している。すなわち、本発明の第 5 の実施例においてはフォトダイオードアレイ 6a が形成された半導体チップ 652 は LED71 により照射され、フォトダイオードアレイ 5a が形成された半導体チップ 653 は LED72 により照射されるように構成されている。LED71 はリードフレーム 8 上にマウントされ、LED72 はリードフレーム 908 上に形成されている。本発明の第 5 の実施例においては IGBT1 および IGBT2 のゲートを独立に制御することも、同時に制御することも可能で、回路応用上の汎用性が増大する。

【0037】図 11 (a) は本発明の第 6 の実施例に係る双方向性半導体スイッチの平面図で図 11 (b) はその模式断面図である。本発明の第 6 の実施例においては LED7 とフォトダイオードアレイ 5a, 6a および抵抗 5b, 6b が集積化された半導体チップ 651 は透明ゴム又はゲル状のシリコン樹脂 901 中で対向するように配置され、LED7 の光は直接フォトダイオードアレイ 5a, 6a に入射するので高効率である。したがって、LED の出力および LED に入力するパワーは少なくてもよい。LED7 はリードフレーム 9 にマウントされ、このリードフレームに対向するように配置されたリードフレーム 905 にフォトダイオードアレイ 5a, 6a 等が集積化された半導体チップ 651 がマウントされ

ている。

【0038】図 12 は本発明の第 7 の実施例に係り、双方向性半導体スイッチを構成する IGBT1, 2, を同一チップ上に集積化した、いわゆるワンチップ双方向性半導体スイッチの断面構造の一部を示す。図 13 は図 12 の構造の一ユニットに対応する等価回路を示す図で、n チャンネル IGBT91 と p チャンネル IGBT92 が並列接続され、それぞれゲート制御回路 95, 96 により端子 3-4 間の交流が制御されることを示す。図 12 において n<sup>+</sup> エミッタ層 14, p 型ベース層 13, i 層 211, p<sup>+</sup> アノード層 12 により n チャンネル IGBT91 が構成され、p<sup>+</sup> エミッタ層 141, n 型ベース層 231, i 層 211, n<sup>+</sup> アノード層 221 により p チャンネル IGBT92 が構成されている。n チャンネル IGBT91 と p チャンネル IGBT92 の共通ベース領域となる i 層 211 は不純物密度  $1 \times 10^{11} \sim 2 \times 10^{13} \text{ cm}^{-3}$  程度の p<sup>+</sup> 層又は n<sup>+</sup> 層でもよい。この領域は注入された電子又は正孔が高電界で加速されているドリフト走行する領域であるので n<sup>+</sup> 層, p<sup>+</sup> 層, i 層のいずれであっても同様な動作となる。つまり、n<sup>+</sup> 層, p<sup>+</sup> 層, i 層はほぼ完全に空乏化した領域としておけばよい。p 型ベース層 13 の表面の一部にはゲート酸化膜を介してポリシリコンゲート電極 16 が n チャンネル IGBT91 のゲート電極として形成され、n 型ベース層 231 の表面の一部には、ゲート酸化膜を介してポリシリコンゲート電極 161 が p チャンネル IGBT92 のゲート電極として形成されている。平面図を省略しているがポリシリコンゲート電極 16 とポリシリコンゲート電極 161 とは互いに独立となるような平面パターンを有しており、それぞれゲート制御回路 95, 96 によりドライブされる。ゲート電極 16, 161 はポリシリコンのかわりに W, Mo, Ti, Co 等の高融点金属又はこれらのシリサイド、すなわち WSi<sub>2</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub> 等あるいはさらにポリシリコンとの複合膜であるポリサイドでもよい。各 IGBT91, 92 は共通のエミッタ電極 171, コレクタ電極 181 を有している。図 13 の等価回路で明らかであるが、端子 3 から端子 4 方向へ電流が流れるときは n チャンネル IGBT が電流を流し、端子 4 から端子 3 方向へ電流が流れるときは p チャンネル IGBT が電流を流すこととなる。ただし、これは等価回路上の議論であり、実際には p<sup>+</sup> アノード層 12 と n<sup>+</sup> アノード層 221 とはいわゆるコレクタショート構造として動作するのでもう少し複雑な動作となる。すなわち n チャンネル IGBT91 のターンオフ時には i 層 211 の p<sup>+</sup> アノード層 12 の近傍に蓄積された電子は n<sup>+</sup> アノード層 221 を介して引き抜かれ、IGBT92 のターンオフ時には i 層 211 の n<sup>+</sup> アノード層 221 の近傍に蓄積された正孔は p<sup>+</sup> アノード層 12 を介して引き抜かれるような動作となる。したがって、ターンオフ時のテイル電流

の少ない高速スイッチングが可能となる。図21(d)等に示したIGBTの構造の場合は、p<sup>+</sup>アノード層132の前面に蓄積された電子はn<sup>+</sup>ベース層131中の正孔と再結合して、消滅するまでテイル電流が流れるので高速ターンオフはできない。

【0039】なお、図12でp<sup>+</sup>アノード層12相互の間のピッチを電子の拡散長 $L_n = (D_n \tau_n)^{1/2}$ の2倍程度以下、n<sup>+</sup>アノード層221相互のピッチを正孔の拡散長 $L_p = (D_p \tau_p)^{1/2}$ の2倍程度にすることが望ましい。ここで $D_n$ 、 $D_p$ はそれぞれ電子および正孔の拡散係数、 $\tau_n$ 、 $\tau_p$ はそれぞれ電子および正孔のライフタイムである。なお、図12は本発明の第7の実施例のワンチップ双方向性半導体スイッチの断面図の一部を示した図であり、実際にはnチャンネルIGBT91、pチャンネルIGBT92からなるユニットが多数並列接続された、いわゆるマルチチャンネル構造になっており、たとえばp型ベース層13とn型ベース層231とはi層211の表面に交互に繰り返して配置されている。このようにマルチチャンネル構造とすることにより、大電流が制御可能となる。並列接続するユニットの数は所望の電流に応じて選べばよいことはもちろんであり、場合によってはユニットの数は1でもよい。

【0040】図14は本発明の第8の実施例に係り図12に示したワンチップ双方向性半導体スイッチをLEDで駆動する場合の等価回路である。すなわち図12のゲート電極16に接続するゲート制御回路をフォトダイオードアレイ85aと抵抗85bとで構成し、ゲート電極16に接続するゲート制御回路をフォトダイオードアレイ86aと抵抗86bとで構成している。さらに、フォトダイオードアレイ85a、86bと光結合されたLED(発光ダイオード)7が入力端子8、9の間に接続されている。この構成の半導体スイッチによれば、LED7の入力端子8、9間に電流を流すと、LED7が発光し、フォトダイオードアレイ85a、86aに交互に光を照射すればフォトダイオードアレイ85a、86aが交互に光起電力を発生する。この電圧により、IGBT91、92の各ゲート電極が交互にバイアスされ、出力端子3、4間が上記第3の実施例の同様にオン状態となる。また、フォトダイオードアレイ85a、86aに同時に光を照射して、IGBT91、92を同時にオン状態としてもよい。このように本発明の第8の実施例では、第2～第6の実施例と同様入力側と出力側とが光結合されているだけで電気的には絶縁されているため、ゲート制御回路における電力損失はほとんどなく極めて変換効率の高い交流・直流兼用の半導体スイッチが実現される。

【0041】なお、図13におけるゲート制御回路95、96、図14におけるフォトダイオードアレイ85a、86a、抵抗85b、86b等も同一チップ上に集積化して、いわゆるスマートパワーIC(SMART

POWER IC)としてもよく、また、ゲート制御回路95、96等は別個にセラミック基板や種々のリードフレーム上等に実装してハイブリッドIC等としてもよい。いずれの構造とするかは、制御する電力や製造コストに応じて適宜選べばよい。ハイブリッドICの場合には図14に示したLED7の回路も組み込んでよいことはもちろんである。

【0042】図15は本発明の第9の実施例に係わり、いわゆるラテラルIGBT(LIGBT: Lateral IGBT)でワンチップ双方向性半導体スイッチを構成した場合の模式的断面図である。図15はnチャンネルLIGBTで図1、あるいは図2の等価回路に示した構造を実現したものである。すなわちp基板129上に形成された各LIGBTのn<sup>+</sup>ベース層11がp<sup>+</sup>拡散領域128により相互にpn接合分離されている。すなわち、LIGBT1、LIGBT2はそれぞれn<sup>+</sup>エミッタ層14、p型ベース層13、n<sup>+</sup>ベース層11、p<sup>+</sup>アノード層12、エミッタ電極17、コレクタ電極18、ゲート電極16とにより構成され、LIGBT1のエミッタ電極17とLIGBT2のコレクタ電極18とが共に端子4に接続され、LIGBT1のコレクタ電極18とLIGBT2のエミッタ電極17とが端子3に接続されている。図示は省略しているが、LIGBT1のゲート電極16はゲート制御回路5に、LIGBT2のゲート電極16はゲート制御回路6に接続されている。これらのゲート制御回路5、6をも同一チップ上に集積化してSMART POWER ICとするか、外付けとしたハイブリッドICにするかは、取り扱う電力、応用分野、製造コスト等に応じて選べばよい。図15の構成のワンチップ双方向性半導体スイッチによれば、ゲート制御回路5、6によってLIGBT1、2がそれぞれドライブされ、出力端子3から出力端子4の方向へ電流が流れるときにはLIGBT1が電流を流し、逆に出力端子4から出力端子3の方向へ電流が流れるときにはLIGBT2が電流を流すので、交流電流を制御することができる。本発明の第9の実施例では、逆並列接続したnチャンネルLIGBTで構成しているためオン電圧を低く抑えることができ、同一チップ面積の各MOSFETおよび各IGBTで構成した場合と比較すれば、制御電流が増大し、導通ロスが減少する。また変換効率が向上する。なお、LIGBT1をnチャンネルIGBTとして、LIGBT2をpチャンネルIGBTとして図13、あるいは図14の回路構成としてもよいことはもちろんである。

【0043】図16は、本発明の第10の実施例に係り、いわゆる絶縁分離(DI: Dielectric Isolation)によりLIGBT1とLIGBT2とを相互に分離してワンチップ双方向性半導体スイッチを構成した場合の模式的断面図である。図16において半導体基板629はp型でもn型でもよい。各LIGBT1、2は酸化膜6

15およびポリシリコン616で分離されている点を除けば本発明の第9の実施例と同様な構造である。図16の構造はSDB法等を用いて作製された基板629とn<sup>+</sup>層11の間に酸化膜615をはさんだ構造のSOIウェハを用いて製造すればよい。すなわち、このSOIウェハのn<sup>+</sup>層11の表面から酸化膜615に達する溝をRIEやECRイオンエッチングあるいはKOHを用いた異方性エッチング等のエッチング法により形成し、その表面にさらに0.5~2 $\mu$ mの酸化膜を熱酸化法等の手法により形成し、さらにその酸化膜の表面に、溝を埋めるようにポリシリコン616を減圧CVD法等により堆積すれば図16の絶縁分離領域が形成できる。このポリシリコン616の堆積後、表面に凹凸が生じフォトリソグラフィ上で問題となる場合にはSOIウェハの表面をポリッシングし、図16に示すようにn<sup>+</sup>層11の表面と、ポリシリコン616の表面とが同一平面になるようにしてから、LIGBTのp型ベース層13の拡散工程等を行なえばよい。図16では、LIGBT1のエミッタ電極17とLIGBT2のコレクタ電極18とが共に端子4に接続され、LIGBT1のコレクタ電極18とLIGBT2のエミッタ電極17とが端子3に接続されている。図示は省略しているが、LIGBT1のゲート電極16はゲート制御回路5に、LIGBT2のゲート電極16はゲート制御回路6に接続されている。また図2に示すようにフォトダイオードアレイ5a、5bでゲート制御回路を構成してもよい。これらのゲート制御回路5、6、フォトダイオードアレイ5a、5b等をも同一チップ上に集積化してSMART POWER ICとするか、外付けとしたハイブリッドIC、あるいは図9~図11に示したような樹脂モールドの構造にするかは、取り扱う電力、応用分野、製造コスト等に応じて選べばよい。図16の構成のワンチップ双方向性半導体スイッチによれば、ゲート制御回路5、6によってLIGBT1、2がそれぞれドライブされ、出力端子3から出力端子4の方向へ電流が流れるときにはLIGBT1が電流を流し、逆に出力端子4から出力端子3の方向へ電流が流れるときにはLIGBT2が電流を流すので、交流電流を制御することができる。本発明の第10の実施例では、逆並列接続したnチャンネルLIGBTで構成しているためオン電圧を低く抑えることができ、同一チップ面積の各MOSFETおよび各IGBTで構成した場合と比較すれば、制御電流が増大し、導通ロスが減少する。また変換効率が向上する。なお、LIGBT1をnチャンネルIGBT1、LIGBT2をpチャンネルIGBTとして図13、あるいは図14の回路構成としてもよいことはもちろんである。

【0044】図17は本発明の第11の実施例に係るワンチップ双方向性半導体スイッチの模式断面図である。図17においてn<sup>+</sup>エミッタ層14、p型ベース層13、n<sup>+</sup>基板11、pアノード層332により第1のn

チャンネルIGBT1が構成され、n<sup>+</sup>エミッタ層142、p型ベース層332、n<sup>+</sup>基板11、pアノード層13により倒立動作となる第2のnチャンネルIGBT2が構成されている。すなわち第1のIGBT1のp型ベース層13と第2のIGBT2のpアノード層13とは共通領域であり、第1のIGBT1のpアノード層332と第2のIGBT2のp型ベース層332とは共通領域として形成されている。n<sup>+</sup>基板11の表側のp型ベース層13の表面の一部にはゲート酸化膜を介してポリシリコンゲート電極16が第1のnチャンネルIGBT1のゲート電極として形成され、n<sup>+</sup>基板11の裏面側のp型ベース層332の表面の一部には、ゲート酸化膜を介してポリシリコンゲート電極162が第2のチャンネルIGBT2のゲート電極として形成されている。平面図を省略しているがポリシリコンゲート電極16とポリシリコンゲート電極162とはそれぞれゲート制御回路5、6によりドライブされる。ゲート電極16、162はポリシリコンのかわりにW、Mo、Ti、Co等の高融点金属又はこれらのシリサイド、すなわちWSi<sub>2</sub>、TiSi<sub>2</sub>、CoSi<sub>2</sub>等あるいはさらにポリシリコンとの複合膜であるポリサイドでもよい。第1のIGBT1のn<sup>+</sup>エミッタ層14と第2のIGBT2のpアノード層13とは共通の金属電極172に接続され、第1のIGBT1のpアノード層332と第2のIGBT2のn<sup>+</sup>エミッタ層142とは共通の金属電極182に接続されている。すなわち、図17に示された本発明の第11の実施例の構造の等価回路は図1又は図2と同一であり、端子3から端子4方向へ電流が流れるときは第1のnチャンネルIGBT1が電流を流し、端子4から端子3方向へ電流が流れるときは第2のnチャンネルIGBT2が電流を流すこととなる。

【0045】図18は本発明の第12の実施例に係るワンチップ双方向性半導体スイッチの模式断面図である。図17に示した構造では第1のIGBT1のp型ベース層13と第2のIGBT2のpアノード層13とが共通領域となっており、pアノード層13の不純物密度をあまり高くすることは好ましくなく、不純物密度は $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度に選ばれる。これ以上高濃度にするとp型ベース層13に形成されるnMOSFETのしきい値が高くなりすぎるからであるが、このことは第2のIGBT2のpアノード層13からの正孔の注入効率が低下することとなる。同様に第1のIGBT2のpアノード層332の不純物密度もあまり高くできないのでpアノード層332からの正孔の注入効率が低下することとなり伝導度変調が不十分で、オン抵抗が十分下げられないこととなる。図22は本発明の第11の実施例におけるこれらの欠点を改善するもので、第1のIGBT1のp<sup>+</sup>アノード層をp<sup>+</sup>領域334で形成し、第2のIGBT2のp<sup>+</sup>アノード層をp<sup>+</sup>領域33で形成した点が特徴である。基本的な動作は第11の



実施例と同様であり、説明は省略するが、本発明の第12の実施例によれば、 $p^+$ アノード層333、334からの正孔の注入効率が增大するため、 $n^+$ 基板11における伝導度変調が大きくなり、その結果、オン抵抗が低減する。したがって導通ロスの小さな双方向性スイッチが実現できる。

【0046】図19は本発明の第13の実施例に係り、いわゆるLIGBTでワンチップ双方向性半導体スイッチを構成した場合の模式的断面図である。 $p$ 基板129上にエピタキシャル成長等により形成された各LIGBTの $n^+$ ベース層11となる $n^+$ 層が、それぞれ $p^+$ 拡散領域128により相互に $pn$ 接合分離されたマルチチャンネル構造の一ユニット分を示している。すなわち、LIGBT1は $n^+$ エミッタ層14、 $p$ 型ベース層13、 $n^+$ ベース層11、 $p$ アノード層332、エミッタ電極172、コレクタ電極182、ゲート電極16とにより構成され、LIGBT2が $n^+$ エミッタ層142、 $p$ 型ベース層332、 $n^+$ ベース層11、 $p$ アノード層13、エミッタ電極182、コレクタ電極172、ゲート電極162とにより構成されている。図17と同様にLIGBT1の $p$ 型ベース層13とLIGBT2の $p$ アノード層13とが共通領域となり、LIGBT2の $p$ アノード層332とLIGBT2の $p$ 型ベース層332とが共通領域となっている。またLIGBT1のエミッタ電極とLIGBT2のコレクタ電極は共通の金属電極172となり端子4に接続され、LIGBT1のコレクタ電極とLIGBT2のエミッタ電極は共通の金属電極182となり端子3に接続されている。端子4とゲート電極16との間にはゲート制御回路5が、端子3とゲート電極162との間にはゲート制御回路6が接続されている。図19の構成のワンチップ双方向性半導体スイッチによれば、ゲート制御回路5、6によってLIGBT1、2がそれぞれドライブされ、出力端子3から出力端子4の方向へ電流が流れるときにはLIGBT1が電流を流し、逆に出力端子4から出力端子3の方向へ電流が流れるときにはLIGBT2が電流を流すので、交流電流を制御することができる。本発明の第13の実施例では、逆並列接続した $n$ チャンネルLIGBTで構成しているためオン電圧を低く押さえることができ、同一チップ面積の各MOSFETおよび各IGBTで構成した場合で比較すれば、制御電流が増大し、導通ロスが減少する。また変換効率が向上する。また、本発明の第13の実施例の構造は本発明の第11および第12の実施例に比して、両面のマスク合わせ工程等は不要となるので、製造が容易であり、生産性が高くなる。なお、図18と同様に $p$ 型ベース層13、332中に $n^+$ エミッタ層14、142と接続させて $p^+$ アノード層333、334を形成すれば、 $p^+$ アノード層からの正孔の注入効率が改善され、オン抵抗が低減する。

【0047】特に本発明の第1～第13の実施例のIG

BTは、 $n$ バッファ付IGBT、コレクタショート型IGBT、ショットキードレインコンタクトIGBT等他のIGBTでも良く、さらにIGBT以外のEST (Emitter Switched Thyristor)、BRT (Base Resistance Controlled Thyristor)、MCSITH (MOS Controlled Si Thyristor)、MCT (MOS Controlled Thyristor) 等の他の絶縁ゲート型半導体装置へ適用できることはもちろんである。

【0048】なお、本発明の第1～第6、第9～第13の実施例では $n$ チャンネル型IGBTについて主に説明したが、導電型を逆に $p$ チャンネル型としてもよいことはもちろんである。またSiデバイスに限定する必要はなく、SiCで双方向性半導体スイッチを構成すれば、特に600℃以上での高温においても高効率で、交流、直流が共にスイッチ可能なパワーデバイスが実現される。またGaAs-GaAlAsヘテロ接合による絶縁ゲート構造の化合物半導体装置やInPの表面に形成したSiO<sub>2</sub>膜によるMOS型化合物半導体装置等他の絶縁ゲート型半導体装置に適用できることはもちろんである。本発明の双方向性半導体スイッチはプログラマブルコントローラや電話回線用等種々の高効率スイッチとして簡便に用いることが可能である。

【0049】

【発明の効果】以上詳細に説明したように本発明によれば、逆並列接続された2個のIGBT等の絶縁ゲート型半導体装置を設け、この各絶縁ゲート型半導体装置のゲートをそれぞれ電位的に独立したゲート制御回路でバイアスしたので、低オン電圧で交流、直流両方の電流制御を行うことができる。

【0050】また、本発明によればゲート制御回路を発光素子が発光した光によって光起電力を発生するフォトダイオードアレイで構成しているので、より低オン電圧で交流、直流両方の電流制御を行うことができる。すなわち本発明によれば入力側と出力側とが光結合されているだけで電気的には絶縁されているため、パワー系（主電力系）のノイズとゲート制御回路系のノイズとが分離されているので、安定なスイッチング動作が可能となる。さらに、ゲート制御回路における電力損失はほとんどなく極めて交換効率の高い交流・直流兼用の半導体スイッチが実現される。

【0051】さらに、本発明によれば、IGBT等の絶縁ゲート型半導体装置をアイソレーション拡散法またはガラスパッシベーション法によって形成するので、逆阻止耐圧が高まり、直流、交流電流の両方を低オン電圧で且つ高耐圧で制御可能で、しかも低コストの半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例に係る双方向性半導体スイッチの回路図である。

【図2】本発明の半導体装置の第2の実施例に係る双

向性半導体スイッチの回路図である。

【図3】本発明の第1および第2の実施例に用いるIGBTチップの断面構造図である。

【図4】図3に示したIGBTチップの製造方法を示す工程図である。

【図5】本発明の第1および第2の実施例に用いる他のIGBTチップの製造方法を示す工程図である。

【図6】本発明の第1および第2の実施例に用いるさらに別のIGBTチップの製造方法を示す工程図である。

【図7】本発明の第3の実施例に係る、IGBT1、2、フォトダイオードアレイ5a、6a、抵抗5b、6b、LED7をリードフレームにそれぞれマウントし、樹脂モールドした場合の平面図(a)および模式断面図(b)である。

【図8】本発明の第3の実施例に用いるフォトダイオードアレイの断面図の一例(a)およびその等価回路(b)である。

【図9】本発明の第4の実施例に係る双方向性半導体スイッチの平面図(a)およびその断面図である。

【図10】本発明の第5の実施例に係る双方向性半導体スイッチの平面図(a)およびその断面図である。

【図11】本発明の第6の実施例に係る双方向性半導体スイッチの平面図(a)およびその断面図である。

【図12】本発明の第7の実施例に係り、nチャンネルIGBTとpチャンネルIGBTを同一チップ上に集積化したワンチップ双方向性半導体スイッチの断面の一部を示す構造図である。

【図13】本発明の第7の実施例の等価回路を示す図である。

【図14】本発明の第8の実施例に係り、LEDで駆動するワンチップ双方向性半導体スイッチの等価回路図である。

【図15】本発明の第9の実施例に係り、nチャンネルラテラルIGBT(LIGBT)とpチャンネルLIGBTとを同一チップ上で、逆並列接続した場合の断面の模式構造図である。

【図16】本発明の第10の実施例に係り、SOIウェハ上に、絶縁分離技術を用いて、逆並列接続されたnチャンネルLIGBTを集積した場合の模式断面図である。

【図17】本発明の第11の実施例に係る、ワンチップ双方向性半導体スイッチの断面図である。

【図18】本発明の第12の実施例に係る、ワンチップ双方向性半導体スイッチの断面図である。

【図19】本発明の第13の実施例に係る、LIGBTで構成したワンチップ双方向性半導体スイッチの断面図である。

【図20】従来のIGBTを1個使用した半導体スイッチを示す図である。

【図21】従来のIGBTの製造方法を示す製造工程図

である。

【図22】MOS-FETを使用した従来の半導体スイッチを示す図である。

【図23】従来のIGBTを2個使用した半導体スイッチを示す図である。

【符号の説明】

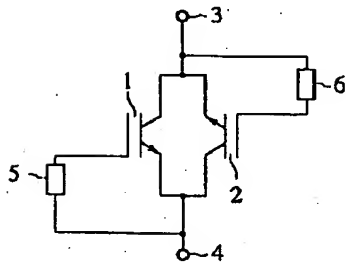
1, 2, 91, 92, 123, 124 IGBT  
3, 4, 101, 102, 111, 112, 121, 122 出力端子(リードフレーム)  
5, 6, 95, 96, 104, 115, 116 ゲート制御回路  
5a, 6a, 85a, 86a フォトダイオードアレイ  
5b, 6b, 85b, 86b 抵抗  
7, 71, 72 LED(発光素子)  
8, 9, 902, 903, 904, 908 リードフレーム  
11, 31, 131 n<sup>-</sup>基板(n<sup>-</sup>ベース層)  
12, 32, 132, 333, 334 p<sup>+</sup>アノード層(p<sup>+</sup>拡散層)  
13, 25, 34, 134 p型ベース層  
14, 26, 35, 135, 142 n<sup>+</sup>エミッタ層  
15, 23, 23A, 33, 33A, 133, 615 SiO<sub>2</sub>膜  
16, 27, 30, 37, 136, 161, 162 ゲート電極  
16A ゲート端子  
17, 28, 38, 137, 171 エミッタ電極  
17A エミッタ端子  
18, 29, 39, 138, 181 コレクタ電極  
18A コレクタ端子  
21 p<sup>+</sup>基板  
22 n<sup>-</sup>エピタキシャル層  
24 p<sup>+</sup>拡散層  
36 ガラス層  
113, 114 MOS-FET  
125, 126 リバースダイオード  
128 p<sup>+</sup>拡散領域  
129 p基板  
139 ポリシリコン層  
141 p<sup>+</sup>エミッタ層  
168, 169 ゲートボンディングパッド  
172, 182 金属電極  
176, 177, 178, 179 エミッタボンディングパッド  
211 i層  
221 n<sup>-</sup>アノード層  
231 n型ベース層  
332 pアノード層  
512, 522 p型アノード領域  
514, 524 n型カソード領域



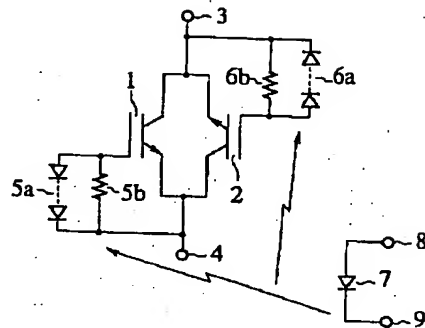
517, 527 カソードボンディングパッド  
 518, 528 アノードボンディングパッド  
 536, 537, 538, 546, 547, 548 A  
 1 配線  
 616 ポリシリコン  
 629 半導体基板 (シリコン基板)

651, 652, 653 半導体チップ  
 901 透明ゴム又はゲル状のシリコン樹脂  
 931, 932, 933, 934, 935, 936, 9  
 37 ボンディングワイヤ  
 991 モールドパッケージ

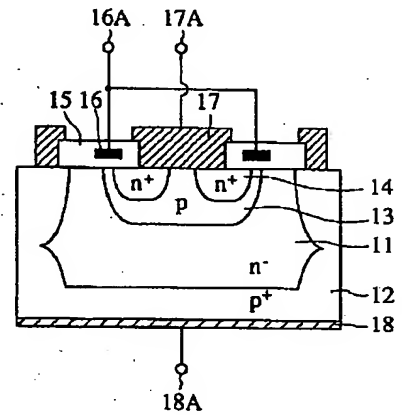
【図1】



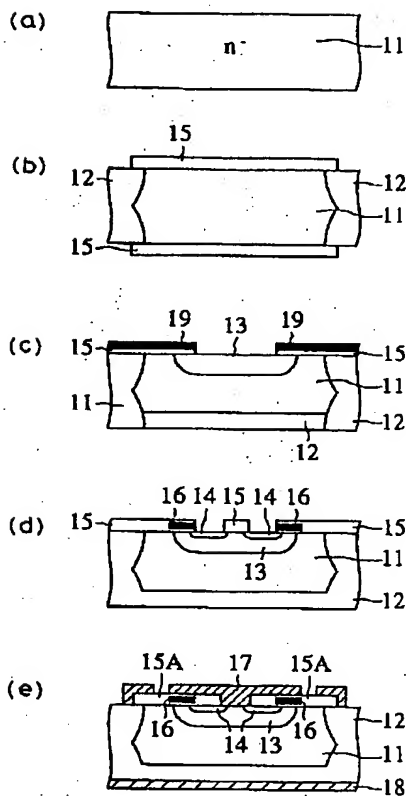
【図2】



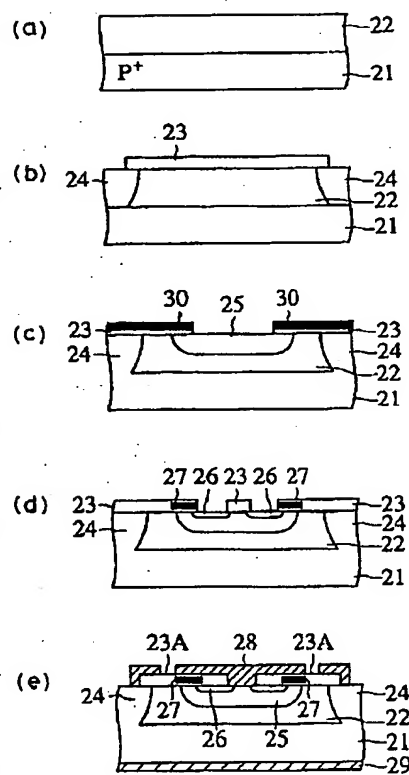
【図3】



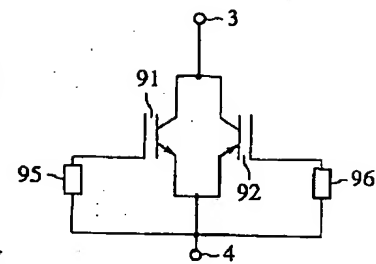
【図4】



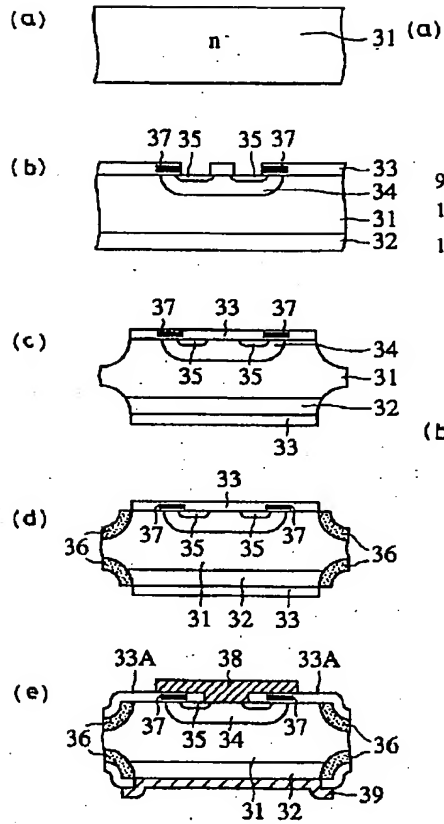
【図5】



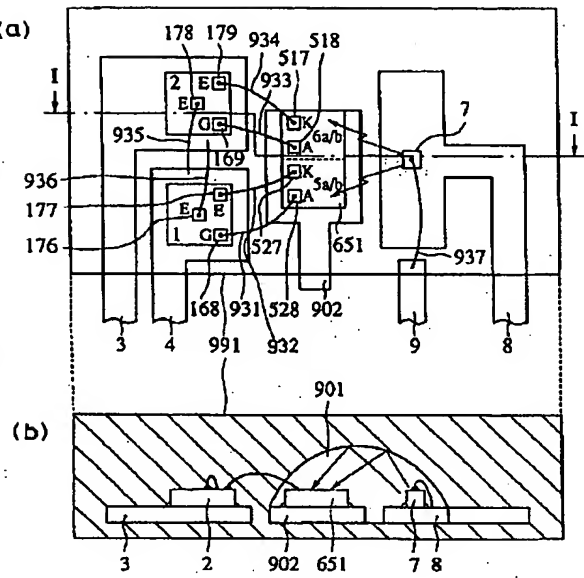
【図13】



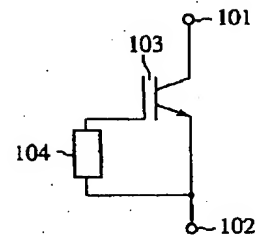
【図6】



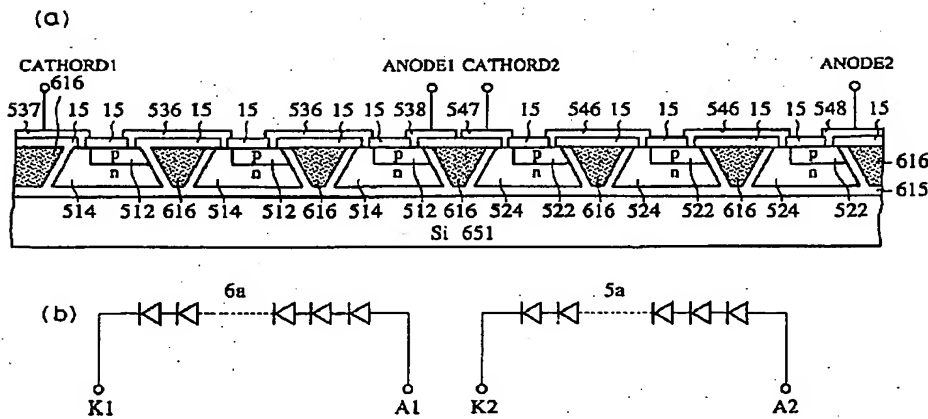
【図7】



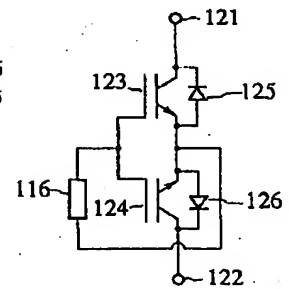
【図20】



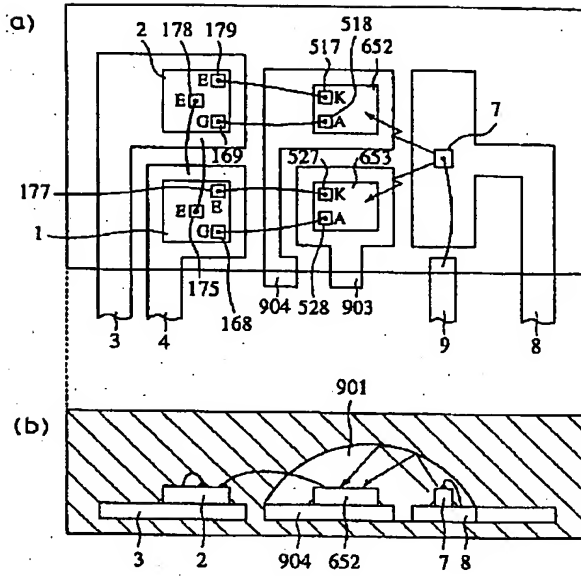
【図8】



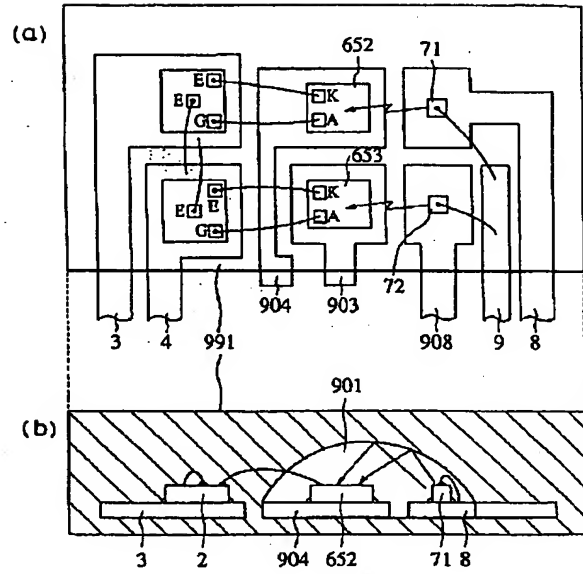
【図23】



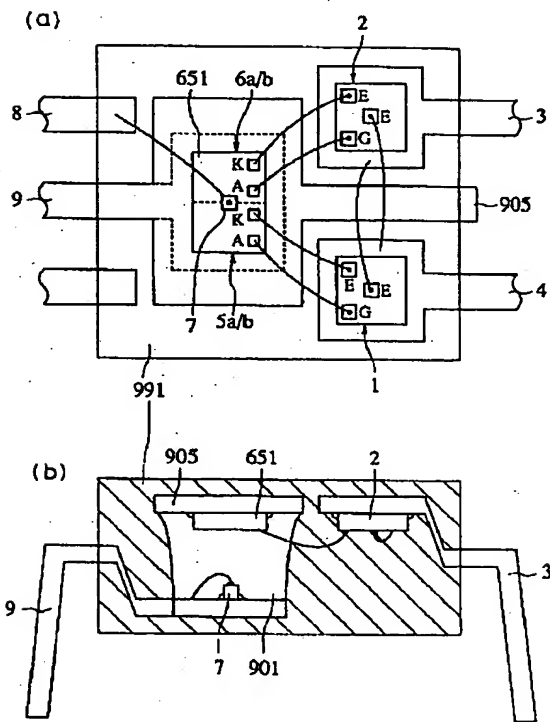
【図9】



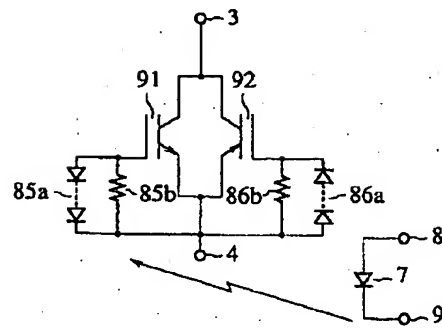
【図10】



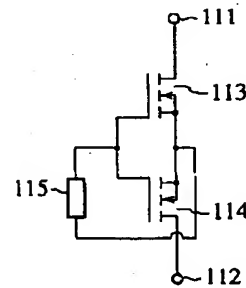
【図11】



【図14】

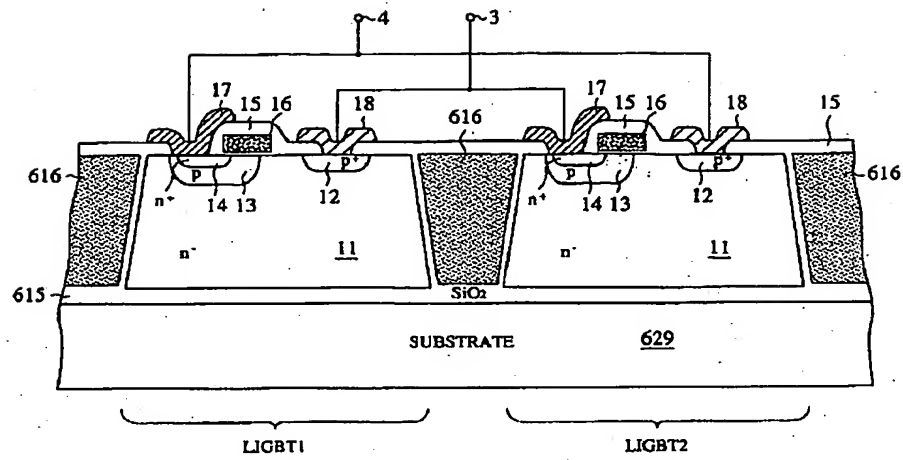


【図22】



[illegible][illegible]

【図16】



【図17】

